



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043619
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

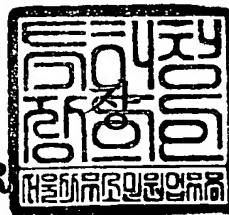
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0032
【제출일자】	2003.06.30
【발명의 명칭】	플래시 메모리 소자의 플로팅 게이트 형성방법
【발명의 영문명칭】	Method for forming a floating gate in flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동차덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	한일근
【성명의 영문표기】	HAN, Il Keoun
【주민등록번호】	600905-1121416
【우편번호】	134-060
【주소】	서울특별시 강동구 둔촌동 주공아파트 319-1004
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원



1020030043619

출력 일자: 2003/10/14

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 플래시 메모리 소자의 플로팅 게이트 형성방법에 관한 것으로, 제1 폴리실리콘막과 패드 질화막 증착전에 완충 산화막을 증착함에 있어서, 월 산화공정에 의한 두께 증가를 최소화 시키기 위하여 상기 완충 산화막의 두께를 50Å의 미만으로 제한하며, 패드 질화막 스트립 공정시 상기 완충 산화막을 적어도 50% 제거하여 제2 폴리실리콘막의 증착전 전처리 세정공정시 최소화된 HF 딥 타임(dip time)을 가져가 제1 폴리실리콘막의 두께 감소 및 패드 질화막 스트립 공정시 상기 제1 폴리실리콘막으로의 공격을 방지할 수 있는 플로팅 게이트 형성방법이 개시된다.

【대표도】

도 2

【색인어】

SA-STI, 플로팅 게이트, 제1 폴리실리콘막, 하드 마스크 식각공정, 마스크용 산화막.



【명세서】

【발명의 명칭】

플래시 메모리 소자의 플로팅 게이트 형성방법{Method for forming a floating gate in flash memory device}

【도면의 간단한 설명】

도 1 내지 도 9은 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 단면도들이다.

도 10는 종래기술에 따른 완충 산화막의 증착방법을 통해 형성된 프로파일을 도시한 TEM 사진이다.

도 11는 본 발명의 바람직한 실시예에 따른 완충 산화막의 증착방법을 통해 형성된 프로파일을 도시한 TEM 사진이다.

도 12는 본 발명의 바람직한 실시예에 따라 형성된 제1 및 제2 폴리실리콘막의 프로파일을 도시한 TEM 사진이다.

도 13 및 도 14은 종래기술에 따라 형성된 제1 및 제2 폴리실리콘막의 프로파일을 도시한 TEM 사진이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 반도체 기판 12 : 터널 산화막

14 : 제1 폴리실리콘막 16 : 완충 산화막



- | | |
|----------------|--------------|
| 18 : 패드 질화막 | 20 : 트렌치 |
| 22 : 월 산화막 | 24 : HDP 산화막 |
| 26 : 제2 폴리실리콘막 | 30 : 플로팅 게이트 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 플래시 메모리 소자의 플로팅 게이트 형성방법에 관한 것으로, 특히 후속 월 산화공정시 제1 폴리실리콘막으로 인한 완충 산화막의 두께 증가를 방지하고, 패드 질화막 스트립 공정시 제1 폴리실리콘막으로 가해지는 공격을 최소화할 수 있는 플로팅 게이트 형성방법에 관한 것이다.

<13> 최근, 고집적화되는 난드(NAND) 플래시(flash) 메모리 소자를 구현함에 있어서 소자 분리공정으로 SA-STI(Self Aligned Shallow Trench Isolation) 공정이 이용되고 있다. 이에 따라, 플로팅 게이트(floating gate)가 제1 및 제2 폴리실리콘막의 적층구조로 분할되어 형성되고 있다. 이때, 패드 질화막(pad nitride)과 제1 폴리실리콘막 간의 스트레스(stress) 완화를 목적으로 제1 폴리실리콘막과 패드 질화막 증착전에 완충 산화막(buffer oxide)이 적정 두께로 증착된다. 이러한 완충 산화막은 패드 질화막과 제1 폴리실리콘막 간의 스트레스를 완화시키고, 패드 질화막 스트립 공정(strip)시에 제1 폴리실리콘막에 손상이 가해지는 것을 방지하기 위한 베리어(barrier)막으로 사용된다. 이후, 제2 폴리실리콘막의 전처리 세정공정시



에 완충 산화막은 제거되고, HDP(High Density Plasma) 산화막을 증착 및 식각하여 완만한 프로파일(profile)이 형성된다. 그러나, 도 13에 도시된 바와 같이 후속 월 산화공정(wall oxidation) 진행시 제1 폴리실리콘막이 산화되고, 이로 인하여, 완충 산화막의 두께가 증가하게 된다. 이에 따라, 도 14에 도시된 바와 같이 제1 및 제2 폴리실리콘막 계면(interface)에 완충 산화막이 잔류하게 되고, 잔류되는 완충 산화막은 제2 폴리실리콘막의 전처리 세정공정시 완벽하게 제거되지 않아 과도한 HF 딥 타임(dip time)이 요구되게 된다. 또한 제1 폴리실리콘막의 산화로 인하여 제1 폴리실리콘막의 실제 두께가 증착시보다 10% 내지 20% 정도 줄어들게 된다. 제1 폴리실리콘막의 산화는 아이솔레이션(isolation)의 임계치수(Critical Demension)의 크기에 따라 월 산화공정에 의한 산화정도 차이가 다르게 발생되므로, 이때 증가한 두께 역시 달라 웨이퍼(wafer) 전면에 걸쳐 균일한 완충 산화막을 남길수 없게 된다.

【발명이 이루고자 하는 기술적 과제】

<14> 따라서, 본 발명의 바람직한 실시예는 완충 산화막의 증착에 따른 후속 월 산화공정시 제1 폴리실리콘막으로 인한 완충 산화막의 두께 증가를 방지하고, 패드 질화막 스트립 공정시 제1 폴리실리콘막으로 가해지는 공격을 최소화하는데 그 목적이 있다.

【발명의 구성 및 작용】

<15> 본 발명의 일측면에 따르면, 터널 산화막 및 제1 폴리실리콘막이 형성된 반도체 기판이 제공되는 단계와, 상기 제1 폴리실리콘막 상에 완충 산화막 및 패드 질화막이 순차적으로 형성되는 단계와, 상기 반도체 기판 내에 트렌치가 형성되는 단계와, 상기 트렌치가 매립되도록 소

자 분리막용 산화막이 증착된 후 상기 패드 질화막을 베리어로 이용한 평탄화 공정이 실시되는 단계와, 상기 패드 질화막이 제거되는 동시에 상기 완충 산화막이 적어도 50% 정도 제거되도록 스트립 공정이 실시되는 단계와, 전처리 세정공정을 통해 상기 완충 산화막이 제거되는 단계와, 전체 구조 상부에 제2 폴리실리콘막이 증착된 후 패터닝공정을 통해 패터닝되어 제1 및 제2 폴리실리콘막으로 이루어진 플로팅 게이트가 형성되는 단계를 포함하는 플로팅 게이트 형성방법이 제공된다.

<16> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<17> 도 1 내지 도 9는 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 플로팅 게이트 형성방법을 설명하기 위하여 도시한 단면도들이다. 여기서, 도 1 내지 도 9에 도시된 참조부호들 중 서로 동일한 참조부호는 동일한 기능을 하는 동일한 구성요소이다.

<18> 도 1을 참조하면, 전처리 세정공정에 의해 세정된 반도체 기판(10)이 제공된다. 상기 전처리 세정공정은 DHF(Diluted HF)로 세정한 후 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$)로 실시되거나, BOE(Buffer Oxide Etchant)로 세정한 후 SC-1로 순차적으로 실시될 수 있다. 상기 전처리 세정 공정후, 웰(well; 미도시) 형성용 이온주입공정과 문턱전압 조절용 이온주입공정이 실시된다. 이때, 상기 이온주입공정들은 희생 산화막(sacrificial oxide; 미도시)을 스크린 산화막(screen oxide)으로 이용하여 실시된다. 이로써, 반도체 기판(10)에는 웰 영역이 형성된다. 상기 이온주입공정들이 완료된 후, 반도체 기판(10) 상에는 터널 산화막(12)이 형성된다. 한편,



도시되진 않았지만, 고전압 트랜지스터가 형성될 영역에는 고전압 게이트 산화막(high voltage gate oxide; 미도시)이 형성될 수 있다.

<19> 상기 터널 산화막(12)이 형성된 후, 상기 터널 산화막(12) 상에는 제1 폴리실리콘막(14)이 증착된다. 이때, 제1 폴리실리콘막(14)은 LP-CVD(Low Pressure Chemical Vapor Deposition) 방식으로 언도프트(undoped) 비정질 실리콘막으로 300 Å 내지 500 Å의 두께로 증착된다. 상기 LP-CVD 방식은 480°C 내지 550°C의 온도범위내에서 SiH_4 가스를 소오스 가스로 하여 0.1torr 내지 1torr의 압력범위내에서 실시된다.

<20> 상기 제1 폴리실리콘막(14)이 형성된 후, 상기 제1 폴리실리콘막(14) 상에는 완충 산화막(16)이 형성된다. 상기 완충 산화막(16)은 HTO(High Temperature Oxide), TEOS(Tetra Ethyle Ortho Silicate), DCS-HTO(DiChloroSilane(SiH_2Cl_2))-HTO 등의 산화막 계열을 선택적으로 이용하여 형성된다. 또한, 상기 완충 산화막(16)은 50 Å 미만의 두께로 증착되는 것이 바람직하다. 이는, 도 4에서 실시되는 후속 월 산화공정에 의해 상기 제1 폴리실리콘막(14)이 산화되고, 이로 인한, 제1 폴리실리콘막(14)의 두께 감소를 억제하며, 완충 산화막(16)의 불균일한 두께 증가를 제어하기 위함이다. 이러한 결과는 도 10 및 도 11에 도시된 TEM 사진을 통해서도 확인할 수 있다. 도 10은 종래기술에 따른 증착방식으로 완충 산화막(16)을 증착하는 경우의 프로파일이고, 도 11은 본 발명의 바람직한 실시예에서와 같이 완충 산화막(16)을 50 Å 미만, 예컨대 30 Å 내지 50 Å으로 그 두께를 제어하는 경우의 프로파일이다. 도 11에 도시된 바와 같이 본 발명의 바람직한 실시예의 경우에는 제1 폴리실리콘막(14)의 산화 정도가 덜하고, 이에 따라 완충 산화막(16)의 두께 증가도 5 Å 미만으로 상당히 양호한 프로파일을 보여주고 있다. 도 12와 같이, 제 2 폴리실리콘막(26; 도 8참조) 증착후 계면에 완충 산화막(16)이 잔류되지 않는 완전한 플로팅 게이트를 확보하게 된다.



- <21> 도 2를 참조하면, 도 1에서 상기 완충 산화막(16)이 형성된 후, 상기 완충 산화막(16) 상에는 패드 질화막(18)이 형성된다. 이때, 상기 패드 질화막(18)은 LP-CVD 방식으로 증착된다.
- <22> 도 3을 참조하면, 도 2에서 패드 질화막(18)이 형성된 후, 반도체 기판(10) 상에는 포토 레지스트(photoresist)가 도포되고, 포토 마스크(photo mask)를 이용한 노광공정 및 현상공정에 의해 소자 분리마스크(미도시)가 형성된다. 이후, 상기 소자 분리마스크를 이용한 식각공정을 실시하여 패드 질화막(18), 완충 산화막(16), 제1 폴리실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)이 순차적으로 패터닝된다. 이로써, 반도체 기판(10) 내에는 STI 구조의 트렌치(20)가 형성되고, 이에 따라, 필드영역(field)과 활성영역(active)이 정의된다. 이후, 상기 소자 분리마스크는 스트립 공정(strip)을 통해 제거된다.
- <23> 도 4를 참조하면, 도 3에서 트렌치(20)가 형성된 후, 노출되는 상기 트렌치(20)의 내부면과, 터널 산화막(12), 제1 폴리실리콘막(14) 및 완충 산화막(16)의 내측벽에는 월 산화막(wall oxide; 22)이 형성된다. 상기 월 산화막(22)은 제1 폴리실리콘막(14)의 재결정화를 방지하기 위함이다. 또한, 월 산화막(22)은 트렌치(20) 형성공정시 트렌치(20)의 측벽의 식각 손상을 보상하고, 트렌치(20)의 상부/저부 모서리 부위의 라운딩(rounding) 처리와 활성영역의 임계치수(Critical Dimension)를 감소시키기 위함이다. 이때, 월 산화막(22)은 건식산화방식으로, 800℃ 내지 1000℃의 온도범위내에서 형성되며, 모니터링 웨이퍼 타겟(monitored wafer target) 기준으로 30Å 내지 100Å의 두께로 형성된다. 이로써, 제1 폴리실리콘막(14)의 산화로 인한 완충 산화막(16)의 두께 증가를 억제할 수 있다. 월 산화막(22)이 형성된 후, 상기 트렌치(20) 내부에는 보이드(void)가 발생되지 않도록 소자 분리막용



HDP(High Density Plasma) 산화막(24)이 갭 필링(gap filling)된다. 이때, HDP 산화막(24)은 4000Å 내지 10000Å 정도의 두께로 증착된다.

<24> 도 5를 참조하면, 도 4에서 HDP 산화막(24)이 갭 필링된 후, 패드 질화막(18)을 베리어(barrier)로 이용한 CMP 공정을 통해 전체 구조 상부는 평탄화된다.

<25> 도 6을 참조하면, 도 5에서 평탄화공정이 실시된 후, 패드 질화막(18)을 제거하기 위한 스트립 공정(strip)이 실시된다. 상기 스트립 공정은 인산(H_3PO_4)을 이용하여 실시되되, 완충 산화막(16)이 적어도 50% 제거되도록 하여 후속 전처리 세정공정시 HF 딥 타임(dip time)을 최소화하여 제1 폴리실리콘막(14)으로의 공격이 방지되도록 한다.

<26> 도 7을 참조하면, 이후, 전처리 세정공정이 실시되는데, 상기 전처리 세정공정은 SC-1($NH_4OH/H_2O_2/H_2O$) 로 세정한 후 DHF(Diluted HF; HF: H_2O 이 1:50)로 실시되는 것이 바람직하다. 상기 전처리 세정공정을 통해 완충 산화막(16)이 완전히 제거되는 한편, HDP 산화막(24)의 일부가 제거되고, 이로 인하여, 제1 폴리실리콘막(14)과 제2 폴리실리콘막(26; 도 8에서 형성됨) 사이의 계면에 잔류되는 완충 산화막(16)이 모두 제거되면서 전체 상부면에 대해서 완전한 프로파일(profile)을 얻을 수 있다. 이러한 결과는 도 12에 도시된 TEM 사진을 통해서도 확인할 수 있다.

<27> 도 8을 참조하면, 전체 구조 상부에는 제2 폴리실리콘막(26)이 증착된다. 이때, 제2 폴리실리콘막(26)은 SiH_4 가스, 또는 Si_2H_6 가스와 PH_3 가스의 혼합가스를 소오스 가스로 하여 510°C 내지 550°C 온도와 0.1Torr 내지 3Torr의 압력범위내에서 LP-CVD(Low Pressure Chemical Vapor Deposition) 방식으로 증착된다. 또한, 제2 폴리실리콘막(26)은 도프트(doped) 폴리실리콘막으로 증착되며, 도핑되는 인 농도는 $1.0E20atoms/cc$ 내지 $2.0E20atoms/cc$ 정도의 도핑 레벨(level)을 부여하여 1000Å 내지 2000Å으로 증착된다.



<28> 도 9를 참조하면, 도 8에서 제2 폴리실리콘막(26)이 증착된 후, 리소그래피 (lithography) 공정을 통해 플로팅 게이트(28)가 형성된다. 이때, 플로팅 게이트(28)는 외측벽이 수직 또는 약간의 경사를 갖도록 식각되어 형성된다. 이로써, 인접한 플로팅 게이트(미도시)과의 스페이스(space)를 확보하는 것이 가능하다.

<29> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<30> 상술한 바와 같이, 본 발명에 의하면, 제1 폴리실리콘막과 패드 질화막 사이에 두께를 최소화하여 완충 산화막을 형성함으로써 제1 폴리실리콘막의 추가 산화를 방지하고, 이로 인하여 완충 산화막의 균일한 제거가 가능하며, 상기 패드 질화막의 스트립 공정시 사용되는 용액(H_3PO_4)이 상기 제1 폴리실리콘막을 공격하는 것을 방지할 수 있다. 이에 따라, 반도체 소자의 특성을 향상시킬 수 있다.

<31> 또한, 본 발명에 의하면, 제1 폴리실리콘막과 패드 질화막 사이에 완충 산화막을 형성하여 상기 제1 폴리실리콘막과 상기 패드 질화막이 직접적으로 접촉되는 것을 방지함으로써 이들막의 접촉에 의해 생기는 스트레스(stress)를 완화하여 하부층인 터널 산화막의 열화를 방지할 수 있다.



- <32> 또한, 본 발명에 의하면, 상기 공정을 통해 제2 폴리실리콘막의 증착후에 최종적인 플로팅 게이트의 표면 거칠기(roughness)를 완화하여 후속 공정을 통해 형성되는 유전체막의 특성을 향상시킬 수 있다.
- <33> 또한, 본 발명에 의하면, 제2 폴리실리콘막 증착공정전에 실시되는 전처리 세정공정을 통한 완충 산화막 제거시에 HDP 산화막의 측벽/모서리를 상당량 제거할 수 있어서 HDP 산화막의 튀어 나온 부분이 완화되어 완만한 프로파일 형성이 가능하다.
- <34> 또한, 본 발명에 의하면, SA-STI(Self Aligned Shallow Trench Isolation) 공정의 적용에 따라 월 산화공정에 의해 트렌치 모서리(corner)에 원하는 두께 보다 작게 증착되는 게이트 산화막 얇아짐 현상을 방지할 수 있다. 또한, 임계치수(Critical Demension) 만큼의 활성영역을 확보할 수 있어 소자의 리텐션 패일(fail)이나 빠른 소거 동작 등의 전기적인 특성이 개선되어 신뢰성을 확보할 수 있다.
- <35> 또한, 본 발명에 의하면, 노출되는 터널 산화막을 보호하도록 월 산화막을 형성하여 터널 산화막의 공격을 방지함으로써 채널 폭(channel width) 내에서의 균일한 터널 산화막을 형성할 수 있다.
- <36> 또한, 본 발명에 의하면, 복잡한 공정 및 장비의 추가 소요없이 기존의 장비와 공정을 이용하여 낮은 비용(low cost)과 높은 신뢰성(high reliability)를 가지는 반도체 소자를 형성할 수 있다.



【특허청구범위】

【청구항 1】

- (a) 터널 산화막 및 제1 폴리실리콘막이 형성된 반도체 기판이 제공되는 단계;
- (b) 상기 제1 폴리실리콘막 상에 완충 산화막 및 패드 질화막이 순차적으로 형성되는 단계;
- (c) 상기 반도체 기판 내에 트렌치가 형성되는 단계;
- (d) 상기 트렌치가 매립되도록 소자 분리막용 산화막이 증착된 후 상기 패드 질화막을 베리어로 이용한 평탄화 공정이 실시되는 단계;
- (e) 상기 패드 질화막이 제거되는 동시에 상기 완충 산화막이 적어도 50% 정도 제거되도록 스트립 공정이 실시되는 단계;
- (f) 전처리 세정공정을 통해 상기 완충 산화막이 제거되는 단계; 및
- (g) 전체 구조 상부에 제2 폴리실리콘막이 증착된 후 패터닝공정을 통해 패터닝되어 제1 및 제2 폴리실리콘막으로 이루어진 플로팅 게이트가 형성되는 단계를 포함하는 플로팅 게이트 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 완충 산화막이 30Å 내지 40Å의 두께로 증착되는 플로팅 게이트 형성방법.



【청구항 3】

제 1 항에 있어서,

상기 완충 산화막이 HTO, TEOS 또는 DCS-HTO로 증착되는 플로팅 게이트 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 (c) 단계후 상기 트렌치 내부면, 상기 터널 산화막, 상기 제1 폴리실리콘막 및 상기 완충 산화막의 내측벽에 월 산화막을 형성하기 위한 월 산화공정이 실시되는 단계를 더 포함하는 플로팅 게이트 형성방법.

【청구항 5】

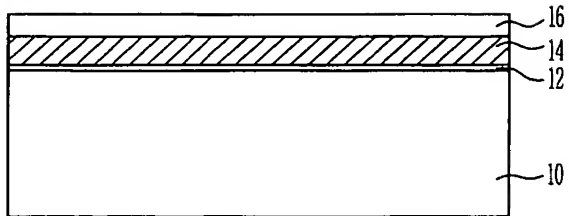
제 4 항에 있어서,

상기 월 산화공정이 800℃ 내지 1000℃의 온도 범위 내에서 실시되는 플로팅 게이트 형성방법.

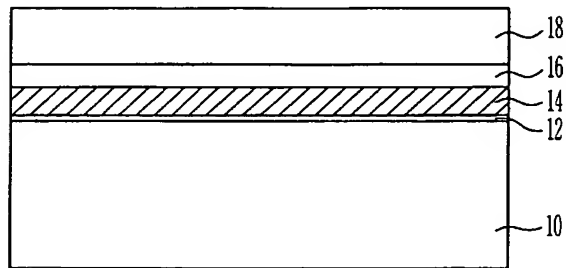


【도면】

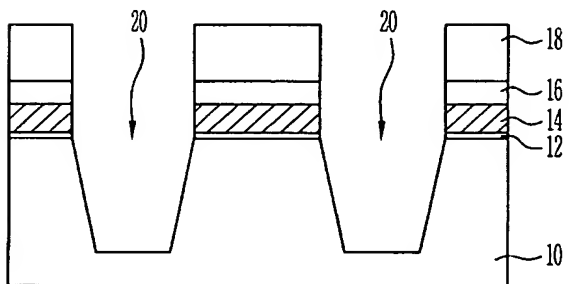
【도 1】



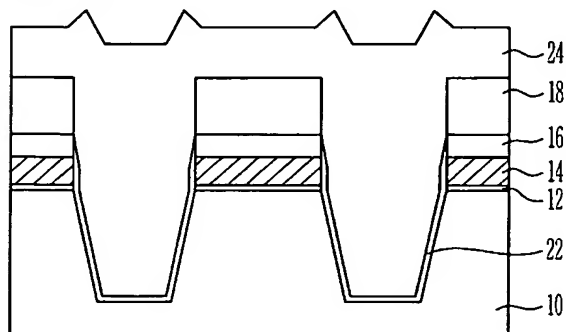
【도 2】



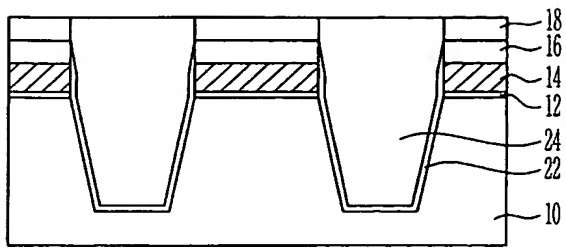
【도 3】



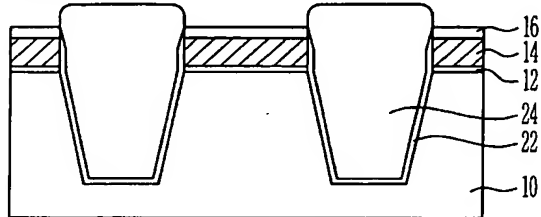
【도 4】



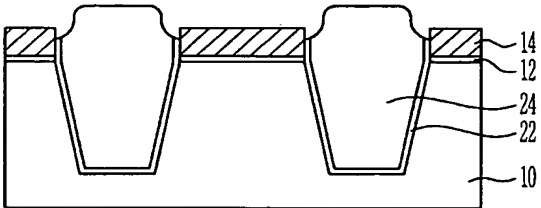
【도 5】



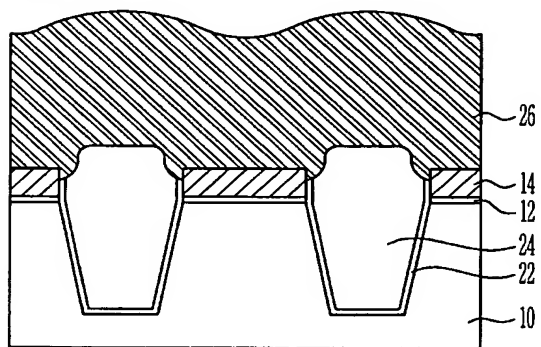
【도 6】



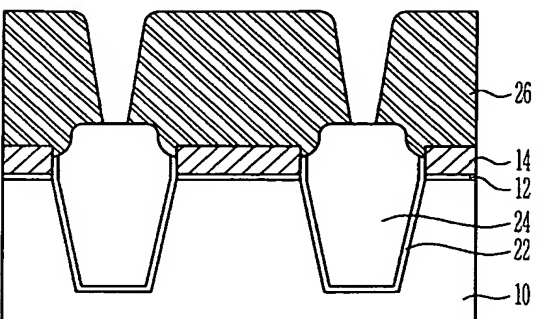
【도 7】



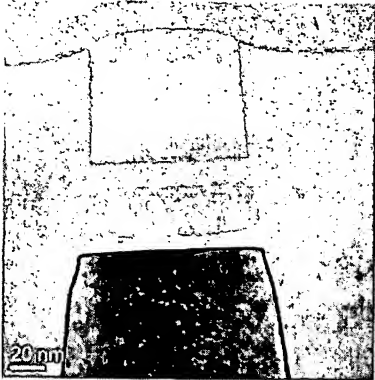
【도 8】



【도 9】

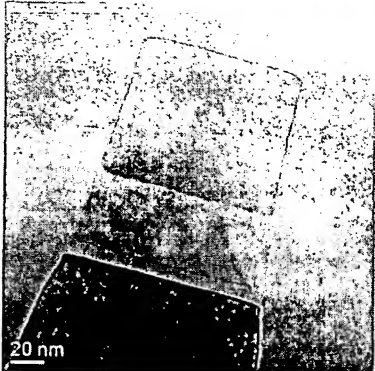


【도 10】

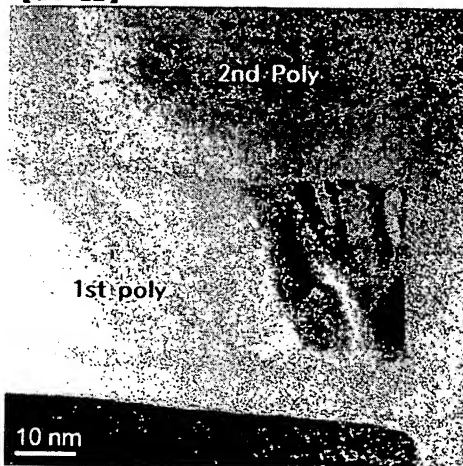


BEST AVAILABLE COPY

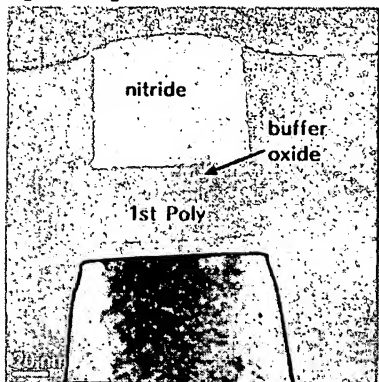
【도 11】



【도 12】



【도 13】



BEST AVAILABLE COPY

【도 14】

